

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-029506
(43)Date of publication of application : 04.02.1994

(51)Int. Cl.

H01L 27/14
G01T 1/24

(21)Application number : 04-182354
(22)Date of filing : 09.07.1992

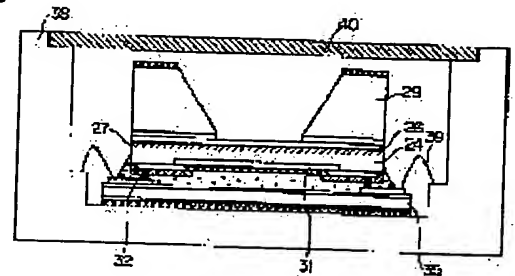
(71)Applicant : HAMAMATSU PHOTONICS KK
(72)Inventor : MURAMATSU MASA HARU

(54) SEMICONDUCTOR ENERGY DETECTOR

(57)Abstract:

PURPOSE: To provide a semiconductor energy detector whose sensitivity to an energy beam such as short-wavelength light or the like is high.

CONSTITUTION: A P-type epitaxial-layer 24 provided with a CCD 31 is formed on a silicon wafer 35. A P+ layer 27 is formed in the P-type epitaxial layer 24. A silicon wafer 29 is installed on the upper side of the P-type epitaxial layer 24. In the silicon wafer 29, only a region to photodetect short-wavelength light incident from a window member 40 in a package 28 is etched and removed, and an opening is formed. In a rear-irradiation type semiconductor energy detector provided with the above-mentioned structure, an accumulation state is maintained. Consequently, the detector is made a stable detector whose sensitivity to the short-wavelength light is uniform all over its inside.



LEGAL STATUS

[Date of request for examination] 27.09.1994
[Date of sending the examiner's decision of rejection] 10.06.1997
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 2821062
[Date of registration] 28.08.1998
[Number of appeal against examiner's decision of rejection] 09-11655
[Date of requesting appeal against examiner's decision of rejection] 10.07.1997
[Date of extinction of right]

4/5

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-29506

(43) 公開日 平成6年 (1994) 2月4日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/14		7204-2G		
G 0 1 T 1/24		7210-4M	H 0 1 L 27/14	K

審査請求 未請求 請求項の数 3 (全 13 頁)

(21) 出願番号 特願平4-182354

(22) 出願日 平成4年 (1992) 7月9日

(71) 出願人 000236436

浜松ホトニクス株式会社
静岡県浜松市市野町1126番地の1

(72) 発明者 村松 雅治

静岡県浜松市市野町1126番地の1 浜松ホ
トニクス株式会社内

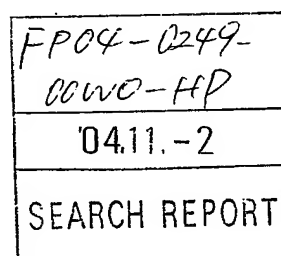
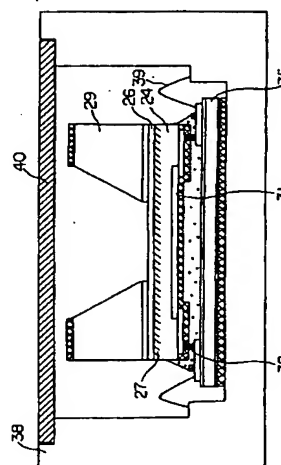
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 半導体エネルギー検出器

(57) 【要約】

【目的】 本発明は、短波長光等のエネルギー線に対する感度が良好な半導体エネルギー検出器を提供することを目的とする。

【構成】 シリコンウエファ (35) 上には、CCD (31) を有するP型エピ層 (24) が設置されている。このP型エピ層 (24) には、P⁺ 層 (27) が設けられている。さらに、P型エピ層 (24) の上側にはシリコンウエファ (29) が設けられている。このシリコンウエファ (29) は、パッケージ (38) の窓材 (40) から入射する短波長光を受光する領域のみエッチングにより除去され、開孔を形成している。上述の構造を有する裏面照射型半導体エネルギー検出器では、アキュムレーション状態が維持される。したがって、短波長光に対する感度が同一チップ内で均一に、しかも安定している検出器となる。



【特許請求の範囲】

【請求項1】 P型の半導体薄板の表面に電荷読み出し部が形成され、前記P型の半導体薄板の裏面からエネルギー線が入射される半導体エネルギー検出器において、前記P型の半導体薄板の裏面には、不純物がドーピングされてなるP⁺型の高濃度層が形成されていることを特徴とする半導体エネルギー検出器。

【請求項2】 前記電荷読み出し部は、電荷転送素子が複数配列されてなる請求項1記載の半導体エネルギー検出器。

【請求項3】 前記エネルギー線は電子線である請求項1または2記載の半導体エネルギー検出器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、紫外線や放射線、粒子線などの吸収係数が極めて大きいエネルギー線の照射に対して有効な、裏面照射型の電荷転送型半導体エネルギー検出器に関するものである。

【0002】

【従来の技術】 電荷転送素子(CCD)は、アナログ電荷群を外部からクロックパルスに同期した速度で一方向に順繰りに送るものであり、一端に出力部を設けておけば、空間情報を時系列信号に変換できる極めて巧みな機能デバイスである。しかし、2次元の画像情報を時系列信号として取り出すには、デバイスの構成上工夫が必要である。上記デバイスに光を照射したままで電荷を転送したのでは、それぞれの場所で光励起された電荷と転送されてきた電荷とが混じり合っ、いわゆるスミアと呼ばれる現象が発生し、映像信号が劣化する。これを避けるためには、光を照射している期間(電荷蓄積期間)と電荷を転送する時間(電荷転送期間)とを時間的に分けるいわゆる時分割動作が考えられる。したがって、映像信号が出力される時間は電荷の転送時間内に限られ、間欠的な信号となる。

【0003】 一般に、実用的な撮像デバイスとしては、フレーム転送(FT)、フル・フレーム転送(FFT)、インターライン転送(IT)構成の三方式が代表的である。このうち計測用としては、主にフル・フレーム転送方式が用いられる。

【0004】 以下、フル・フレーム転送方式について説明する。図10及び11はフル・フレーム転送方式の構成を示すものであり、図10はその上面図、図11はその要部の断面図である。図10に示すようにこの方式では、基板に形成されたチャンネルストップ拡散層1によって電荷転送のチャンネルが垂直方向に分割され、水平画素数に対応する画素列を形成する。一方、このチャンネルストップ拡散層1に直交して転送電極群2を配置している。前述のFT方式では、この電極群は上下2つにグルーピングされ、上半分を受光用のCCD、下半分を信号電荷を一時蓄積するCCDとして使うが、同図に示

すフル・フレーム転送方式CCDでは蓄積部はない。したがって、電荷を転送する時間中、即ち読みだし時間中は、シャッタを閉じるなどしてCCDに光が入射しないようにしなければいけない。なお、垂直方向の4列の画素列の間には3本のオーバーフローレイン5が形成されている。

【0005】 図11に示すように、一画素はCCDの一段分を構成するクロックパルス($\phi_1 \sim \phi_4$)の相数

(4)に対応する数の電極20とチャンネルストップ拡散層1で囲まれた面積となる。垂直転送クロックパルス電極群2はクロックパルス $\phi_1 \sim \phi_4$ をポリシリコン電極20に供給する。PSG(リンガラス)による層間絶縁膜19はポリシリコン電極20の上面に堆積され、この電極20とシリコン基板22の間にはゲート酸化膜21が介在されている。

【0006】 受光領域に光が入射すると、図11に示すように励起された信号電荷が一つの転送電極(蓄積電極)、即ち立ち上がったクロックパルス ϕ_1 が加えられたポリシリコン電極20下のポテンシャル井戸3に集められる。

【0007】 光信号を信号電荷に変換する電荷蓄積時間が終わると、受光領域上にある垂直転送電極群2に与えられたクロック電圧 $\phi_1 \sim \phi_4$ が順次立ち上がり、信号電荷の読み出しが開始される。しかしフル・フレーム転送CCDにおいては、前述したようにFT-CCDのような受光部とは別のいわゆる蓄積部というものがない。このため、信号読み出しを開始する前にシャッタを閉じるなどして光信号の入力を遮断しなければ、転送している途中の信号に新たに光信号が混入してくることになり、信号純度が低下する。但し、単発現象をとらえる場合には、信号電荷の転送中に新たな光入力はないと考えられるから、シャッタ等は必要ない。

【0008】 ここで、図10を用いて信号読みだし動作について説明する。信号電荷は垂直転送用クロックパルス電極群2に与えられるパルス $\phi_1 \sim \phi_4$ によって1行ずつ下方に送られ、水平読みだしレジスタ6を通して出力端に転送される。すなわち同図において、まず一番下の行にある信号電荷が同時に水平読みだしレジスタ6に送り込まれ、水平方向に高い周波数のクロック ϕ_5 、 ϕ_6 で転送され、時系列信号として出力端から読み出される。なお、水平転送クロック ϕ_5 、 ϕ_6 は水平転送用クロックパルス電極群7から加えられる。このときすでに次の信号電荷が垂直レジスタの1段下方に移動しているため、次の垂直転送クロックパルスで水平読みだしレジスタ6に入り、出力端に読み出される。このようにして、1画面分の信号電荷が全て水平読み出しレジスタ6を通して読み出されると、シャッタを開き新たな信号蓄積動作を開始する。以上のように、水平読みだしレジスタ6は垂直レジスタに比べて高速で動作するので、2相クロックパルス ϕ_5 、 ϕ_6 として高速転送を可能にして

いる。

【0009】ここで、図12(a)にCCDにオンチップされた読み出し回路の例を、同図(b)に印加クロックパルスと出力波形の関係を表す例をそれぞれ示す。パルスの基準点は0Vで、+12Vの振幅である。クロック ϕ_s 、 ϕ_g の与えられた電極下の領域17、18は水平レジスタ6の最終部を表している。なお、基板22には+12V_{cc}、アウトプットゲート(OG)13には+7V_{cc}、リセットドレイン(RD)16には+12V_{cc}が加えられている。また、増幅用のMOSFETのドレイン8には15V_{cc}、ソース9は負荷抵抗を介して接地されている。したがって、このMOSFETはソースフォロワ回路として動作している。以下、同図(b)を用いて動作を説明する。

【0010】水平レジスタ6によって信号電荷が次々と読みだし回路に転送されてくると仮定する。今、時刻 t_1 において、クロックパルス ϕ_s はハイレベルになっているので、クロック ϕ_s の加えられた電極7の下領域17にポテンシャル井戸が形成されていて、信号電荷は領域17に転送されている。次に時刻 t_2 でクロック ϕ_s がローレベル、 ϕ_g がハイレベルになるので、クロック ϕ_s の加えられた電極7下の領域17におけるポテンシャル井戸は消え、クロック ϕ_g の加えられた電極7下の領域18にポテンシャル井戸が形成される。したがって、前述の信号電荷は領域18に転送される。時刻 t_3 においては、リセットゲート(RG)15にパルスが加えられるので、フローティングディフュージョン(FD)14の電位はRD16の電位である12Vにリセットされる。時刻 t_4 では、FD14にまだ信号電荷は転送されてきていないので、電位はリセット値を維持している。時刻 t_5 においてはクロック ϕ_s がローレベルになるので、水平レジスタ6の最終部の領域18に存在した信号電荷はOG13に加えられた低いDCバイアスによって形成されている低いポテンシャル障壁を乗り越え、FD14に至り、その電位を変化させる。同図

(b)の出力電圧の例でもわかるように、電子が流れ込んでくるので、クロック ϕ_s がローレベルになると出力は下に向かって伸びる。FD14は、配線によってソースフォロワ回路(MOSFET)のゲートにつながれており、そのソースからはゲートに入力されたのと同じ大きさの出力を低インピーダンスで得ることができる。

【0011】このようにフル・フレーム転送方式の特徴は、蓄積部がなく受光部の面積が大きくとれるので、光の利用率がよく、したがって計測用など微弱光の用途に広く用いられる。反面、入射光が転送電極で吸収されるので、波長が短い青色の光に対する感度低下が著しい。先に述べたように、図11は典型的な受光部を示すものであるが、ポリシリコン電極20が隙間なく表面を覆い、またそれぞれの電極の分離のため、厚さ数ミクロンにも及ぶPSG膜19が重ねられている。特に、ポリシ

リコンは、400nm以下の波長の光や電子を吸収してしまうので、光電変換に寄与することができない。

【0012】このような光検出器に関しては、基板22を15 μ mから20 μ m程度に薄くして、図13に示すように光を裏面から照射するようにしたものがある。基板22の表面はゲート酸化膜21をはさんで設けられて、ポリシリコン電極20が隙間無く覆い、短波長光を吸収してしまうが、基板22の裏面には薄い酸化膜23の他に障害物はなく、短波長光に対して高感度が期待できる。この裏面照射型CCDは0.1nm程度の短波長光まで感度があり、更に電子衝撃型CCD撮像デバイスにも応用される。このデバイスは電子衝撃により生じる信号電荷の増倍作用を利用できるので、高感度撮像デバイスとして期待される。

【0013】ここで裏面照射型CCDの製造プロセスの代表例を説明する。まず、ウエファとしてP/P⁺型エピウエファを用いる。このエピ層の比抵抗及び厚さは、それぞれ30 Ω -cm、30 μ mであり、サブの比抵抗及び厚さは、それぞれ0.01 Ω -cm、500 μ mである。このエピウエファに対し、予めアルミニウム(A1)配線工程まで含めたすべてのCCD製造プロセスを終了させる。後の工程での、受光部シリコンの薄形化後にアルミニウム配線を施すことも当然考えられるが、薄形化した膜の部分に写真食刻法を用いるのは困難であり、またアルミニウム配線プロセス中に薄形化した部分が割れるなどのおそれがある。このため、薄形化する前にできる限り多くのプロセスを終了しておく必要があるからである。

【0014】次に、ウエファ裏面についている窒化シリコン及び酸化膜を除去する。

【0015】その後、裏面全面にクロームと金が積層されてなるクローム/金層を堆積する。そして、受光面に当たる部分、即ち裏面入射面に相当する領域のみ、クローム/金層を除去する。

【0016】上記エピウエファをチップに分割後、ホルダにワックスで取り付ける。その後、HF:HNO₃:CH₃COOH=1:3:8の割合のエッチング液を用い、チップの周辺部を厚く残したまま裏面からシリコン基板をエッチングする。このエッチング液は硝酸リッチであるため、弗酸による溶解律速でエッチングが進む。ここで、溶解律速のエッチャントが広く使用されている理由を説明する。もし弗酸リッチならば、酸化律速でエッチングが進む。使用されるウエファがP/P⁺型なので、P⁺層のみを選択的にエッチングすれば、膜厚の絶対値及び面内の均一性において優れたものが製作でき、短波長感度の再現性や均一性のコントロールが非常に容易い。P⁺層の酸化速度は速いので、酸化律速のエッチング液を使用すれば膜厚の均一性や再現性が優れたものを作り出し易い。

【0017】しかし現実には、P⁺層の中には多数の結

晶欠陥があり、結晶欠陥はP⁺層より更に酸化速度が速いので、エッチングも速く行われることになり、結局エッチングの途中にあった結晶欠陥がエッチング面の膜厚を不均一にさせ、受光面を曇らせる結果になる。したがって、酸化律速のエッチャントは使用できず、膜厚のコントロールは行いにくい、溶解律速のエッチャントを使用せざるを得ないことになる。また、エッチャントとしてアルカリ系のものを使用すれば、膜厚の均一性コントロールのし易さにおいて優れるが、CCDのようなMOSデバイスではアルカリ金属でゲート酸化膜が汚染され、しきい値電圧などを設計値と違ったものとし、動作不良を引き起こす。したがって、従来、プロセスにおいてはアルカリ系のエッチャントを使用していなかった。

【0018】次に、膜厚の測定を行う。この結果、膜厚が所望の値として不十分である場合は、再度エッチングを行う。

【0019】次に、上述のウエファを120℃蒸気中で48時間、裏面酸化を行う。すでにA1配線まで終了しているので、高温を加えて酸化することは不可能である。このため、120℃という低温で長時間酸化を行っている。

【0020】次に、裏面酸化膜に負イオンを照射する、いわゆる裏面アキュムレーションを行う。前述したように、裏面照射型CCDは、CCDの裏面が光の入射面となる。通常CCDを形成するシリコンウエファの厚さは数百ミクロンである。また、200nmから300nmの光は吸収係数が非常に大きく、そのほとんどが表面からわずかに入ったところで吸収されてしまう。したがって、数百ミクロンの厚さを有するCCDをそのまま裏面照射型として使用しても、裏面で発生した光電子は表面にあるCCDのポテンシャル井戸に拡散していくことができず、ほとんどは再結合して失われてしまう。また、そのうちのいくらかはポテンシャル井戸まで到達してきたとしても、長い道のりを拡散してくる間に信号同士が混じり合い、いわゆる解像度を著しく低下させる。したがって、裏面照射型CCDでは、受光面である裏面をエッチング、研磨によって薄くして、発生した電子が最短距離で表面のポテンシャル井戸に到達できるようにしなければならない。

【0021】図13に示すような、代表的なシリコンによる検出素子の厚さは10~15μmである。ここで酸化膜23は、厚さ数十オングストロームから数百オングストロームである。

【0022】図14は、図13において薄形化したシリコン検出素子について、受光面から表面のCCDに至るまでの断面のポテンシャルプロファイルを示したものである。図面に向かって左側が裏面、右側が表面を表している。なお、基板22はP型である。基板22の裏面には、保護膜である酸化膜23が成長されている。

【0023】しかし、酸化膜23には酸化膜電荷や界面

準位が必ず存在し、これらはいずれもP型シリコン基板22の表面を空乏化させるように働く。即ちポテンシャルプロファイルでみれば、図14中の実線で示したように裏面の酸化膜23に近づくにしたがって電子に対するポテンシャルが低くなり、即ち裏面から浅いところで生じた光電子はCCDのポテンシャル井戸には行くことができず、裏面酸化膜23とシリコンの界面に押しやられ再結合するのを待つ運命となる。したがって、受光部を薄形化し裏面を酸化後、負に帯電したイオンを照射することにより裏面酸化膜23に近いP型シリコン22の表面をアキュムレーション状態にし、図14中の点線で示したようなポテンシャルプロファイルにする。これにより、裏面の浅いところで生じた光電子も効率よく表面側のCCDのポテンシャル井戸に到達することができる。

【0024】なお、一般的にアキュムレーションを行う際には、P型シリコン基板に対してボロンをイオン注入すれば良いが、イオン注入層はアモルファス状となり、その後の熱処理で再結晶化とイオン注入したボロン原子の活性化を行わなくてはならない。通常この熱処理（アニール）は600℃付近と1000℃付近の熱処理を連続して行ういわゆる2ステップアニールを行う必要がある。アニールが不足すれば、リーク電流の発生源となり好ましくない。しかし、A1配線がすでに施されているので、このような高温のアニールを行うことができない。したがって、イオン注入による裏面シリコンのアキュムレーションはできず、負イオンを照射するというような消極的なアキュムレーションしか採用していないのが現実である。

【0025】最後に、上述の操作を経たウエファを、パッケージ内に実装する。CCDを冷却してリーク電流やrmsノイズを下げることは微弱光を計測する上で重要な技術である。したがって、この工程においては、薄形化したシリコン基板の表面、即ちCCDが形成されている面を熱抵抗が小さい非導電性の樹脂などを介して、パッケージに接着する。

【0026】

【発明が解決しようとする課題】しかし、上述のようなアキュムレーションは効果の持続性に問題があり、短波長光の感度を向上させるためにこのような作業を施したのも関わらず、逆に短波長光の照射で裏面酸化膜についた負イオンが除去、中和され易くなる。即ち、アキュムレーションされていた状態が再び空乏状態となり、短波長光に対する感度が失われてしまうという問題がある。

【0027】また、上述の検出器を製造するプロセスにおいても、多少の問題点を有している。例えば、基板のエッチングに溶解律速のエッチャントを用いるため、エッチング液の攪拌を十分に行い、常に新しいエッチャントをエッチング面に供給しないと膜厚が著しく不均一に

なる。しかし、どんなに撹拌を行っても、エッチング部分とエッチングしない部分の境界部には、エッチャントの回り込みなどにより段差が生じ、膜厚が不均一になりやすい。さらに、膜厚を測定する際に、ホルダから一度CCDをはずさなくてはならない。しかし、すでにCCDの受光部にあたる部分は膜厚がかなり薄くなっているため、サブストレイトから取ったり張り付けたりしている最中に薄膜部を破損してしまうというおそれがある。

【0028】裏面酸化の工程では、酸化を低温で行うため、酸化膜の性質が余りよくなく、トラップが多くリーク電流の発生源として働いてしまう可能性が高い。

【0029】実装工程においては、薄形化した厚さ10 μ mから15 μ mのシリコンに後から樹脂をつけて硬化させた場合、樹脂の硬化時に圧縮応力が生じ、薄膜部にその力が集中して波打った状態になり、ひび割れなどの破損に至ることがある。

【0030】以上述べたように、従来の裏面照射型CCDはその構成を得るプロセスをも含めて問題点を有している。即ち、基板を薄形化後にアルミニウム配線を行う場合は、裏面のアキュムレーションの自由度が大きくなり、イオン注入、2ステップアニールを行うことができる。しかしアルミニウム配線時の写真食刻法が困難であり、しかもダイボンド樹脂の硬化時に、薄膜部が破損するおそれがある。即ちこの方法は、特性的には良いものが得られるが、歩留まりはかなり低い。

【0031】一方、アルミニウム配線後に薄形化を行う場合は、薄形化後は組み立てを行うのみなので、薄膜部が破損する確率は小さくなる。しかし、裏面アキュムレーションが困難であり、仮にできたとしてもリーク電流が大きく、しかも感度の経時変化が大きいという問題が生じる。また、ダイボンド樹脂の硬化時に、薄膜部が破損するおそれがある。即ちこの方法は、歩留まり的には悪くないが、特性的には非常に問題がある。

【0032】また両者とも、膜厚の均一性・コントロール性に優れたアルカリ系エッチャントは、CCD部の保護がなされていないため用いる事ができない。

【0033】以上示したように、従来の裏面照射型CCDは、プロセスも含めて問題が多く、商品化することが非常に困難である。

【0034】そこで本発明は、上記の問題点を解決した半導体エネルギー検出器を提供することを目的とする。

【0035】

【課題を解決するための手段】本発明は、P型の半導体薄板の表面に電荷読み出し部が形成され、P型の半導体薄板の裏面からエネルギー線が入射される半導体エネルギー検出器において、P型の半導体薄板の裏面には、P⁺型の不純物がドーピングされてなる高濃度層が形成されていることを特徴とする。

【0036】前述の電荷読み出し部は、電荷転送素子が複数配列されてなるものであることが可能である。さら

に、エネルギー線は電子線であってもよい。

【0037】

【作用】本発明によれば、P⁺型の不純物がドーピングされてなる高濃度層がP型の半導体薄板の裏面に設けられている。このため、負イオンを照射するアキュムレーションの場合のように、短波長光等のエネルギー線の照射で裏面酸化膜についた負イオンが除去・中和されて空乏状態が生じるということがない。したがってアキュムレーション効果が持続し、不純物の活性化や結晶の無欠陥化が十分に行われ、エネルギー線に対する感度が向上した半導体エネルギー検出器を得ることができる。

【0038】

【実施例】以下、本発明に係る半導体エネルギー検出器の実施例について図を用いて説明する。

【0039】図1は、本発明の第1の実施例の断面構造を示すものである。同図に示すように、パッケージ38内の底部に固定されているシリコンウエファ35上には、そのシリコンウエファ35に対向する面にCCD31を有するP型シリコン薄板としてのP型エピ層24が、金属パンプ32を介して設置されている。このP型エピ層24は、シリコンウエファ35に対向していない面にP⁺層27が設けられている。P型エピ層24は、P⁺層27及び表面の酸化膜26を介してさらにその上側にシリコンウエファ29を有している。このシリコンウエファ29は、パッケージ38の窓材40から入射する短波長光を受光する領域のみエッチングにより除去され開孔を形成して、酸化膜26が露出された構造となっている。

【0040】上述の裏面照射型半導体エネルギー検出器では、エピ層24の受光面にP⁺層27が設けられ、これによりアキュムレーション状態が維持されている。したがって、短波長光に対する感度が同一チップ内で均一に、しかも安定している検出器となる。

【0041】次に、上述の第1の実施例に係る半導体エネルギー検出器の製造方法について図を用いて説明する。

【0042】図2(a)は、P型のシリコン基板25上にP型のシリコンをエピタキシャル成長させたものを示している。エピ層24は、例えば比抵抗10 Ω -cm、厚さ15 μ mであり、シリコン基板25は、例えば比抵抗10 Ω -cm、厚さ500 μ mである。エピ層24の厚みは、後の工程による薄形化後の受光部の厚さと同じか、やや厚い15 μ mから20 μ m程度を必要とする。

【0043】次に、P⁺層の形成を行う。同図(b)は、同図(a)のエピ層24の表面に拡散やイオン注入などを用いてP⁺領域27を形成したものを示す。このP⁺層27は、後に行われる薄形化後に、裏面受光面をアキュムレーション状態にするために用いられる。したがって、比較的浅い領域に、高濃度のP⁺層27が形成されることが望まれる。なお、両面の酸化膜26の厚

さは1000オングストローム程度である。

【0044】同図(c)は、別に用意された比抵抗10Ω-cm程度のP型のバルクウエファまたは比抵抗0.01Ω-cm程度のP⁺型バルクウエファを示す。後の工程で、アルカリ系エッチャントを用いる時はP型バルクウエファ、弗酸系の酸エッチャントを用いるときはP⁺型バルクウエファを用いると、酸化膜28とシリコンウエファ29との間の選択比が大きく都合が良い。ここで、両面の酸化膜28の厚さは1000オングストローム程度である。

【0045】次に、貼り合わせを行う。図2(d)は、同図(b)で示したものを図中で裏返しにし、そのエピ面側と、同図(c)で示したバルクウエファ29とを貼り合わせた状態を示す図である。酸化膜26と28の界面が貼り合わせ面である。ここでは、貼り合わせ面の両方に酸化膜26、28が付いているが、どちらか片方でもよい。また、酸化膜26、28の厚さも1000オングストロームに限定されるものではない。シリコンウエファの直接接着技術は、接着剤を用いずに2枚のウエファを一体化する技術を用いる。表面に浸水性を持たせたり電圧をかけながら熱処理するだけで非常に堅固に張り付く。なお、この技術については、「応用物理第60巻第8号(1991)Siウエファの直接接着技術」に詳細に記載されている。

【0046】次に、エッチングを行う。同図(e)は、シリコン基板25を研磨やエッチングによって除去したところである。さらにエピ層24の部分まで少し除去してもよい。但し、ここで注意を要することは、エッチングされないで残した面から貼り合わせ面にある酸化膜までの厚みが最終的に受光面の厚みとなることである。したがって、この厚みを10ミクロンとか15ミクロンに正確に制御しなければいけない。

【0047】ここではCCDをエピタキシャル成長層に形成する例を用いて説明した。エピタキシャル成長層の特徴は、バルクウエファに見られるようなスワールがなく、また酸素濃度が低いので結晶性において優れているという点である。したがって、勿論バルクウエファも適用可能であるが、エピタキシャル成長ウエファを用いた方が高歩留まりを期待できる。この段階で研磨やエッチング時に生じた表面ダメージ層は完全に除去されなくてはならない。

【0048】次に、同図(e)のエピ層24の表面側を加工する。図3(a)は、貼り合わせウエファのエピ層24の上にCCD31を形成し、さらに金属配線30を施した状態を示す。

【0049】次に、同図(b)に示すように、同図(a)までの工程を終了したウエファの上下の全面に窒化シリコン膜33を堆積する。そしてCCD31が形成された面の、金属バンプを成長させたい部分の窒化シリコン膜33を除去する。また、CCD31が形成されて

いる面と反対の面は、薄形化したい部分の窒化シリコン膜33を除去する。

【0050】ここでバンプ32の形成方法として、例えば半田バンプを超音波法にて形成する例を示す。

【0051】図4は、超音波半田付け装置の概略図である。半田槽45内を満たす半田43は、半田槽45の内部に設置されている攪拌子44によって噴流されている。この半田槽45の上部には、噴流している半田43の中にCCDウエファ41が垂直に配置され、半田槽45の外部からそのCCDウエファ41の垂直面に対向するように、超音波振動子42が置かれている。この装置では、超音波振動子42に対向するCCDウエファ41の面に、常に新鮮な半田が送られており、また、半田槽45にN₂を流入させることによって半田の酸化を防いでいる。

【0052】次に、上記装置を用いた超音波半田付けのメカニズムを説明する。まず、超音波の作用で半田43中にキャビティが生じ、このキャビティがCCDウエファ41の表面で圧潰すると、ウエファ41の自然酸化膜が破壊される。自然酸化膜が取り除かれると、形成されているA1電極との間で共晶反応が起こり、バンプが形成される。パッシベーション膜など、金属でない部分には共晶反応は起こらないため、半田の付着はない。したがって窒化シリコン33が形成されている部分には半田の成長はなく、また、CCD31が形成されている側と反対の面は、一部窒化シリコン膜33は無いがそこには薄い自然酸化膜がついたシリコン基板29が存在するから、やはり半田の成長はない。

【0053】図3(b)の半田バンプ32は、上述の方法によって形成されたものである。超音波法では、100ミクロン平方のアルミニウムパターンに対して、数十ミクロンの高さのバンプが形成されるが、下地のアルミニウムの膜厚が厚いほど、形成されるバンプの高さも高くできるので、調整が可能である。また、バンプの形成法としては、他に、蒸着法やメッキ法もあり、それによっても形成されるバンプの高さを変えることができる。

【0054】ここまでのプロセスは、全てウエファの形で行われるので、トータルでみた労力は多くはない。この後、ダイシングなどによって個々のチップに分割される。

【0055】図3(c)は、CCDチップをサポートするためのサブストレイト35を示し、シリコンウエファか、あるいはCCDチップと熱膨張係数が等しい硝子が好ましい。ここでは、サブストレイト35としてシリコンウエファを用いた。まず、シリコンウエファ35を酸化して適当な厚さの酸化膜37を形成し、A1等の配線34を行う。この金属配線34は、CCDチップに形成した金属バンプ32とパッケージの電極を結ぶものである。その後、シリコンのエッチャントに触れる部分をガードするため、窒化シリコン膜36を堆積する。しかる

後、同図 (b)、(c) のものを一体にする。

【0056】同図 (d) は、前記金属バンプ32を形成したCCDチップと金属配線34を施したサブストレイト35をバンプボンディングしたところを示している。CCD31が形成してある側が突き合わせ面となっている。

【0057】次に、樹脂50の充填をする。図5 (a) は、CCDチップとサブストレイト35を突き合わせた面に、後に使用されるシリコンのエッチャントが入り込まないように、樹脂50を充填した状態を示す。この樹脂50は、例えば日本化薬株式会社製 エポキシ系樹脂 カヤトロンML-230Pである。樹脂50に必要とされる特徴は、非導電性、この後のプロセスで使用するエッチャントに耐えること、アルカリ金属等を含まないこと、硬化時に適当な収縮応力が働きバンプボンディング部のコンタクトを良好に保つこと、ダイボンドやワイヤボンド時の150℃程度の熱に耐えることである。

【0058】次に、バルクウエファ29のエッチングを行う。同図 (b) は、同図 (a) で形成したものをエッチャントに浸し、エッチングした状態を示している。エッチャントの組成は、例えばHF:HNO₃:CH₃COOH=1:3:8の割合の酸系エッチャント、またはKOH:H₂O:イソプロピルアルコール=950ml:1:1150ml:700mlの割合のアルカリ系エッチャントなどである。ここでは、アルカリ系エッチャントを用いた場合について説明する。エッチャントを78℃に加熱し、サブストレイト24にバンプボンディングされたCCD31は、自公転するように回転させたエッチング面に発生する泡を取り除かなければいけない。泡の除去が不十分な場合、エッチング面の荒れや膜厚の不均在が生じる。エッチレートは、およそ0.6μm/分である。アルカリ系エッチャントでは、異方性エッチングのため膜厚は比較的均一になる。しかし、裏面照射型CCDの場合、チップ間のわずかな膜厚の再現性の悪さや、チップ内のばらつきにつながるおそれがある。この問題の解決策をここで示す。

【0059】このアルカリ系エッチャントに対する酸化シリコン膜とシリコンの選択比は、およそ1/200である。前述したように、貼り合わせウエファの貼り合わせ面には、片側で1000オングストローム、トータルで2000オングストロームの酸化膜がある。酸化膜26と28が貼り合わせ面に該当する。したがって、アルカリ系エッチャントでエッチングを進め、途中で膜厚が多少不均一になったとしても、エッチングが酸化膜28に到達したところで自動的に止まるので、図2 (e) においてエピタキシャル層24の膜厚さえしっかり制御すれば、エッチング後の受光面の膜厚はチップ間・チップ内とも非常に均一なものとなる。即ち、貼り合わせ面にある酸化膜26及び28をエッチングのストップに利用するところが、この技術の重要なところである。前記し

た酸系エッチャントにおいても、張り合わせ面の酸化膜をエッチングのストップとして使用することができる。

【0060】図5 (b) においては、シリコンウエファ29のエッチング終了後、弗酸で受光面の酸化膜28を少しエッチングし、反射が少ない値に調整した後の状態を表している。酸化膜26まで全て除去してしまうことは特殊な用途を除いて推奨できない。エッチングが終了したら、シリコンウエファ35の表面に堆積されている窒化シリコン膜36を除去し、金属配線34を表面に出す。

【0061】先に、裏面受光面のアキュムレーションの重要性について述べたが、図2 (b) において表面をP⁺型にしておいたのが、図5 (b) において受光面をアキュムレーション状態にするのに役立っている。

【0062】即ちこの構造では、新たにアキュムレーション状態を作るプロセスは必要ない。光電子に対するポテンシャルプロファイルは、裏面の受光面から表面のCCDに向かって徐々に低くなるように形成されているから、受光面付近で生じた光電子も効率よく反対面のCCDのポテンシャル井戸に到達することができる。すなわち、短波長光に対する感度を高く、また安定にできる。さらに、図2 (a) で示したようにプロセスの極初期の段階で受光面側をP⁺型とするので、拡散、イオン注入どちらを用いるにしても熱処理の自由度は大きく、活性化が十分でリーク電流の生成源にならないよう結晶欠陥が少ないアキュムレーション状態とすることができる。

【0063】図5 (c) は、裏面照射型CCDをセラミック等のパッケージ38に組み込み、シリコンウエファ35とパッケージ38間をボンディング39によって接続した状態を示す。

【0064】先にCCDチップの裏面のシリコンをエッチングするのにKOHなどアルカリ金属を含むエッチャントを使用した例を示した。通常CCDなどのMOS系のデバイスは、非常に高い酸化膜の清浄度を必要とするので、Na⁺、K⁺等のアルカリイオンを極度に嫌う。しかし、ここに示した例では、エッチングを開始するときにはすでにCCDチップは樹脂50で保護されていてエッチャントに触れることはない。また、その後も樹脂50、シリコンウエファ35はCCDチップから離されることなく、結局CCDチップが形成された面は二度と外部に触れることはなく、このプロセスにおいてはアルカリ系エッチャントを使用してもCCD部分は清浄さが保たれ、動作を確実なものとしている。

【0065】次に、本発明の第2の実施例について説明する。

【0066】図6は、本発明の第2の実施例の断面構造を示すものである。同図に示すように、パッケージ38内の底部に固定されているシリコンウエファ35上には、そのシリコンウエファ35に対向する面にCCD3

1を有するP型シリコン薄板としてのP型エピ層24が、金属バンプ32を介して設置されている。このP型エピ層24は、シリコンウエファ35に対向していない面にP⁺層27が設けられている。P型エピ層24は、さらにその上側にサブウエファとしてのシリコンウエファ29を有している。このシリコンウエファ29は、パッケージ38の上部に設けられている窓材40から入射する短波長光を受光する領域のみ、エッチングにより除去され開孔を形成する構造となっている。なお、短波長光が入射する側、即ちCCD31が形成されエピ層24の裏面には、全面に酸化膜47が形成されている。

【0067】上述の裏面照射型半導体エネルギー検出器では、エピ層24の受光面にP⁺層27が設けられ、これによりアキュムレーション状態が維持されている。したがって、第1の実施例同様、短波長光に対する感度が同一チップ内で均一に、しかも安定している検出器となる。

【0068】次に、上記の半導体エネルギー検出器の製造方法について説明する。

【0069】図7(a)は、P型のエピタキシャル層のサブストレイトになるシリコンウエファ29の第1の表面に、そのシリコンウエファ29のバルク部分と同じP⁺型の高濃度不純物層27を形成した状態を示す。P⁺型不純物層27の不純物濃度は、受光面のエッチング直前までのプロセスが終了した段階で、後に示すアルカリ系エッチャントに対してエッチングレートが遅くなるよう設定することが必要であり、具体的には $5 \times 10^{18} \text{ cm}^{-3}$ 以上、理想的には $1 \times 10^{19} \text{ cm}^{-3}$ 以上が必要である。バルク部分であるシリコンウエファ29の比抵抗は、例えば $10 \Omega \cdot \text{cm}$ 、厚さ $500 \mu\text{m}$ である。さらに、この不純物濃度は、アルカリ系エッチャントに対してエッチングレートが遅くならない 10^{17} cm^{-3} 以下でなければいけない。なお、上述の条件は、アルカリ系エッチャントの組成や温度等で多少変化させる必要がある。

【0070】次に、エピタキシャル成長を行う。同図(b)は、同図(a)のシリコンウエファ29の第1の表面にエピタキシャル成長層(以下エピ層という)24を形成したところである。エピ層24の比抵抗は、例えば $10 \Omega \cdot \text{cm}$ 、厚さ $10 \mu\text{m}$ である。エピ層24の比抵抗は、CCDの性能だけを考慮して決めてよい。エピ層24の厚さと先に形成したP⁺型不純物層27の厚さの和が、最終的な受光面の厚さになるので、エピ層24の厚さは $10 \mu\text{m}$ 程度が適当である。

【0071】次に、図7(b)のエピ層24の表面側を加工する。同図(c)は、エピ層24の上面にCCD31を形成し、さらにA1によって金属配線30を施した状態を示している。

【0072】次に、同図(c)までの工程を終了したシリコンウエファ29の表面と裏面の全面に、窒化シリコ

ン膜33を堆積する。その後、CCD31が形成されている面上であって金属バンプ32を成長させたい領域の窒化シリコン膜33を除去する。また、CCD31が形成された面と反対の面では、薄形化したい部分の窒化シリコン膜33を除去する。ここで、バンプ32は先に述べた第1の実施例における場合と同様の手順にしたがって形成する。これにより、同図(d)の状態となる。

【0073】以上の手順とは別に、サブストレイトを用意する。図8(a)は、CCDチップをサポートするためのサブストレイトを示したものであり、シリコンウエファか、あるいはCCDチップと熱膨張係数が等しい硝子が好ましい。ここでは、サブストレイトとしてシリコンウエファ35を用いたときについて説明する。まず、シリコンウエファ35を酸化して適当な厚さの酸化膜37を形成し、A1等の金属配線34を行う。この金属配線34は、CCDチップ上に形成した金属バンプ32とパッケージの電極を結ぶものである。その後、シリコンのエッチャントに触れる部分をガードするためシリコン窒化膜36を両面に堆積し、後の工程でCCDチップがシリコンウエファ35に突き合わされる領域を、エッチングにより除去する。しかる後、図7(d)及び図8(a)のものを一体にする。

【0074】図8(b)は、前述の金属バンプ32を形成したCCDチップと金属配線34を施したシリコンウエファ35をバンプボンディングした状態を示している。CCD31が形成してある側が突き合わせ面となっている。また、同図においてはその突き合わせ面に、後に使用されるシリコンのエッチャントが入り込まないように、樹脂50を充填する。この樹脂50は、例えば日本化薬株式会社製 カヤトロン ML-230Pである。この後、樹脂50の硬化のための熱処理を行う。前述したように、ほとんどの樹脂は硬化時に圧縮応力を生じるが、CCD受光部はまだ薄形化する前なので、圧縮応力はCCDチップ全体に分散され、ひびが入ったり割れたりすることはない。なお、樹脂50に必要とされる特徴は、非導電性であること、後のプロセスで使用するエッチャントに耐えること、アルカリ金属等を含まないこと、硬化時に適当な収縮応力が働きバンプボンディング部のコンタクトを良好に保つこと、ダイボンドやワイヤボンド時の 150°C 程度の熱に耐えることである。

【0075】次に、シリコンウエファ29のエッチングを行う。図8(c)は、同図(b)で形成したものをエッチャントに浸し、受光面にあたる部分のシリコンウエファ29をエッチングして、薄形化した状態を示している。エッチャントの組成は、例えば、8規定KOH:H₂O:イソプロピルアルコール=950ml:1150ml:700mlのアルカリ系エッチャントである。エッチャントは 78°C に加熱し、シリコンウエファ35にバンプボンディングされたCCDチップは自公転するように回転させ、エッチング面に発生する泡を取り除かな

ければいけない。泡の除去が不十分な場合、エッチング面の荒れや膜厚の不均一が生じる。エッチレートは、およそ $0.6 \mu\text{m}/\text{分}$ である。アルカリ系エッチャントでは、異方性エッチングのため膜厚は比較的均一になる。しかし裏面照射型 CCD の場合、チップ間のわずかな膜厚のばらつきや、チップ内の均一性の悪さが、チップ間やチップ内の短波長感度の不均一に繋がるおそれがある。この問題の解決策をここで示す。

【0076】このアルカリ系エッチャントに対する 10^{17}cm^{-3} 以下の不純物濃度の P 型シリコン層と、 $1 \times 10^{19} \text{cm}^{-3}$ 以上の不純物濃度の P⁺ 型シリコン層の選択比はおよそ 1/10 である。前述したように CCD が形成してあるエピタキシャル成長ウエファには埋め込み層として P⁺ 型シリコン層がある。

【0077】したがって、裏面 P 型シリコン層 29 よりアルカリ系エッチャントでエッチングを進め、途中で膜厚が多少不均一になったとしても、エッチングが P⁺ 層 27 に到達したところでエッチングレートは自動的に遅くなるので、図 7 (b) においてエピタキシャル層 24 の膜厚さえしっかり制御されていれば、エッチング後の受光面の膜厚はチップ間チップ内とも非常に均一なものとなる。即ちエピタキシャル成長層 24 に形成された P⁺ 層 27 によって半自動的にエッチングを終了させ得ることが、この技術の重要なところである。

【0078】シリコンエッチング終了後、表面の窒化シリコン膜 33 を除去する。その後、同図 (d) のように 120°C で 4 8 時間程度、ウェット雰囲気中で受光面に酸化シリコン膜 47 を成長させる。酸化シリコン膜無しというのは、特殊な用途を除いて推奨できない。シリコン酸化膜 47 成長後、シリコンウエファ 35 の電極 34 上に堆積されている窒化シリコン膜 36 を除去し、金属配線 34 を表面に出す。シリコン酸化膜成長後に窒化シリコン膜 36 を除去するのは、電極 34 を構成する金属の酸化防止のためである。

【0079】先に裏面受光面のアキュムレーションの重要性について述べたが、図 7 (a) において表面を P⁺ 型にしておいたのが、図 8 (d) において受光面をアキュムレーション状態にするのに役立っている。即ちこの構造では、新たにアキュムレーション状態を作るプロセスは必要ない。光電子に対するポテンシャルプロファイルは、裏面の受光面から表面の CCD に向かって低くなるように形成されているから、受光面付近で生じた光電子も効率よく反対面の CCD のポテンシャル井戸に到達することができる。即ち短波長光に対する感度を高く、また安定にできる。更に図 7 (a) で示したように、プロセスの極初期の段階で受光面側を P⁺ 型とするので、拡散、イオン注入どちらを用いるにしても熱処理の自由度は大きく、活性化が十分で、リーク電流の生成源にならないよう結晶欠陥が少ないアキュムレーション状態とすることができる。

【0080】図 9 は、裏面照射型 CCD をセラミック等のパッケージ 38 に組み込み、シリコンウエファ 35 とパッケージ 38 間をボンディング 39 によって接続した状態を示す。

【0081】上記実施例では、CCD チップの裏面のシリコンをエッチングするのに KOH などアルカリ金属を含むエッチャントを使用した例を示した。通常 CCD などの MOS 系のデバイスは、非常に高い酸化膜の清浄度を必要とするので、 Na^+ 、 K^+ 等のアルカリイオンを極度に嫌う。しかしここに示した例では、第 1 の実施例同様、エッチングを開始するときには既に CCD チップは樹脂 50 で保護されていてエッチャントに触れることはない。また、その後樹脂 50、シリコンウエファ 35 は CCD チップから離されることはなく、結局 CCD チップが形成された面は二度と外部に触れることはなく、このプロセスにおいてはアルカリ系エッチャントを使用しても CCD 部分は清浄さが保たれ、動作を確実なものとしている。

【0082】

20 【発明の効果】以上説明したように、本発明の半導体エネルギー検出器によれば、P⁺ 型の不純物が注入される高濃度層が P 型の半導体薄板の裏面に設けられている。このため、この高濃度層がエッチングストップとしての役割を果たすのみならず、短波長光等のエネルギー線の照射で裏面酸化膜についた負イオンが除去・中和されて空乏状態が生じるということがない。したがってアキュムレーション効果が持続して不純物の活性化や結晶の無欠陥化が十分に行われ、エネルギー線に対する感度が向上した半導体エネルギー検出器を得ることができる。

【図面の簡単な説明】

【図 1】本発明に係る第 1 の実施例の断面構造を示す概略図である。

【図 2】本発明に係る半導体エネルギー検出器の第 1 の実施例の製造工程図である。

【図 3】本発明に係る半導体エネルギー検出器の第 1 の実施例の製造工程図である。

【図 4】金属バンプを形成するための装置を示す図である。

40 【図 5】本発明に係る半導体エネルギー検出器の第 1 の実施例の製造工程図である。

【図 6】本発明に係る第 2 の実施例の断面構造を示す概略図である。

【図 7】本発明に係る半導体エネルギー検出器の第 2 の実施例の製造工程図である。

【図 8】本発明に係る半導体エネルギー検出器の第 2 の実施例の製造工程図である。

【図 9】本発明に係る半導体エネルギー検出器の第 2 の実施例の製造工程図である。

50 【図 10】フル・フレーム転送方式の構成を示す上面図

である。

【図11】フル・フレーム転送方式の要部を示す断面図である。

【図12】読み出し回路図とクロックパルス出力波形を示す図である。

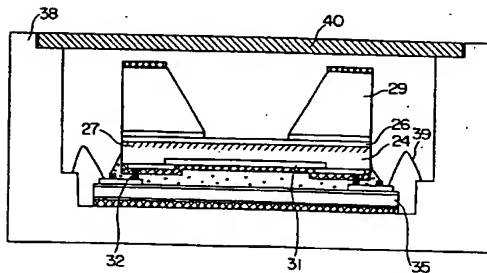
【図13】従来の裏面照射型検出器を示す図である。

【図14】従来の裏面照射型検出器のポテンシャルプロファイルを示す図である。

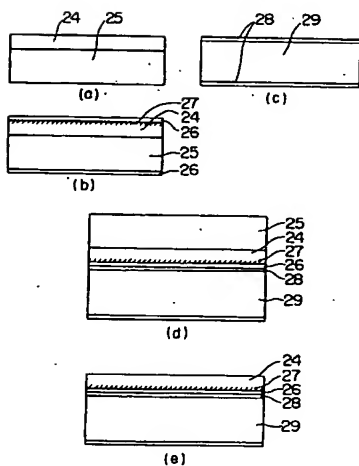
【符号の説明】

24…エピ層、25…サブストレイト、27…P⁺層、29及び35…シリコンウエファ、30及び34…金属配線、31…CCD、32…金属バンプ、33及び36…窒化シリコン膜、38…パッケージ、39…ボンディング、40…窓材、41…CCDウエファ、42…超音波振動子、43…半田、44…攪拌子、45…半田槽、50…樹脂。

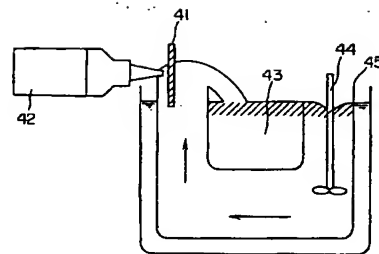
【図1】



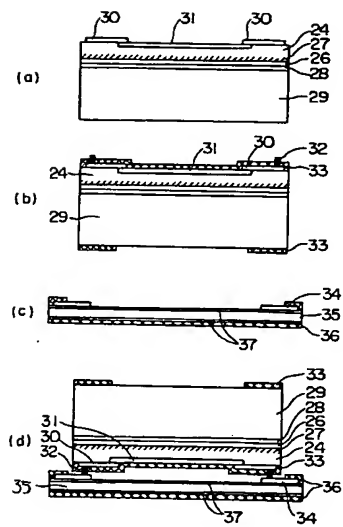
【図2】



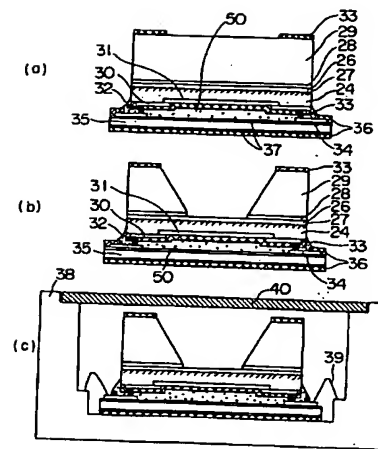
【図4】



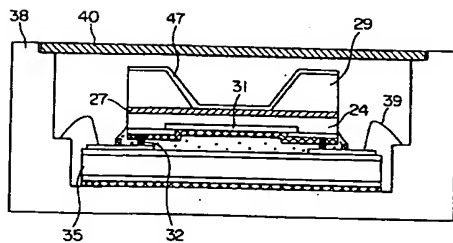
【図3】



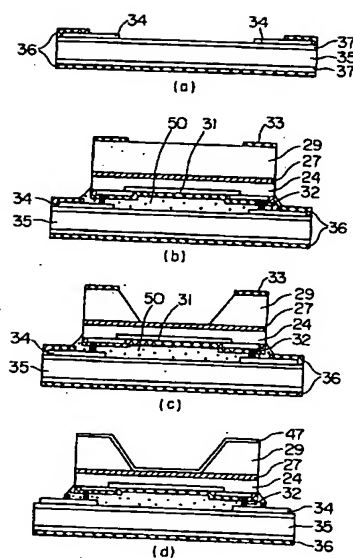
【図5】



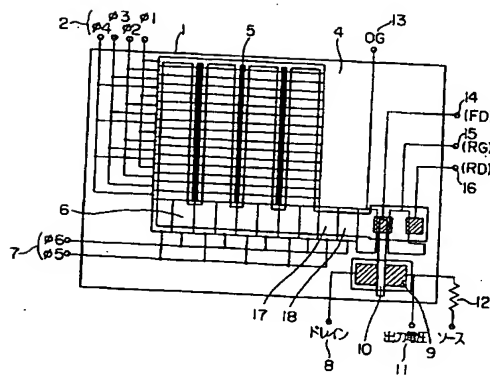
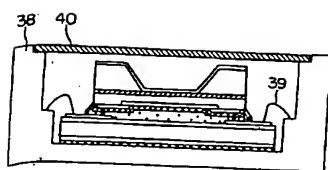
【図6】



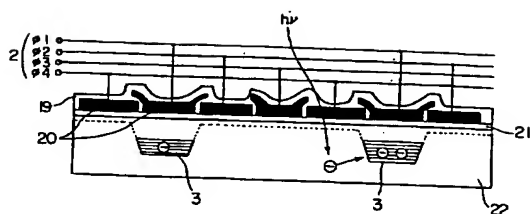
【图8】



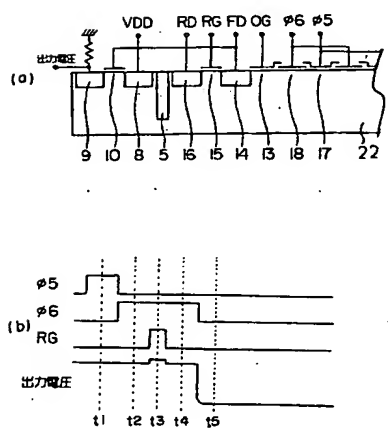
【図 10】



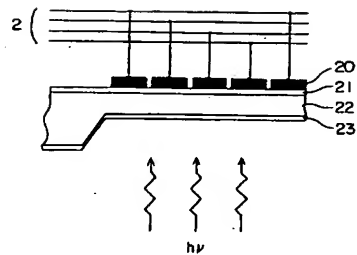
【図11】



【図12】



【図13】



【図14】

